

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 6

H01L 27 /06

(11) 공개번호

특 1999-030302

(43) 공개일자

1999년 04월 26일

(21) 출원번호 특 1998-040806

(22) 출원일자 1998년 09월 30일

(30) 우선권주장 197 43 230.1 1997년 09월 30일 독일(DE)

(71) 출원인 지멘스 액티엔게젤샤프트 디어터 크리스트, 베르너 브륄

독일연방공화국 원헨 비텔스바헬플랫초 2

(72) 발명자 고스너, 하랄트

독일 81735 원헨 크비데슈트라쎄 86

슈테파, 마티아스

오스트리아 아-9500 빌라흐 울란트슈트라쎄 2/4

(74) 대리인 남상선

심사청구 : 없음

(54) 정전 방전으로부터 보호하기 위한 구조물을 가진 집적 반도체회로

요약

본 발명은 정전 방전으로부터 보호하기 위한 보호 구조물을 가진 집적 반도체 회로에 관한 것이다. 보호 소자는 적어도 하나의 집적 버티컬 보호 트랜지스터를 포함하며, 그것의 부하 구간이 단자 패드와 전위 레일 사이에 접속된다. 본 발명에 따라 보호 트랜지스터의 베이스와 콜렉터가 서로 측면으로 변위되어 배치된다. 특히 매립층으로서 형성된 보호 트랜지스터의 콜렉터의 측면 구조화에 의해 베이스와 콜렉터 사이의 간격이 확대된다. 이렇게 함으로써, 보호 소자의 브레이크 다운 전압(V_b) 및 내압이 커진다. 보호 트랜지스터의 내압 범위에 놓인 브레이크 다운을 가진 다이오드에 의해 보호 트랜지스터가 트리거되는 것이 특히 바람직하다. 베이스의 트리거 강도는 베이스 구역에 배치된 집적 저항에 의해 세팅될 수 있다.

대표도

도3

명세서

도면의 간단한 설명

도 1은 ESD-보호 소자가 접속된 집적 반도체 회로의 회로도.

도 2는 반도체 시스템에 본 발명에 따른 ESD-보호 구조물을 구현한 실시예의 단면도.

도 3은 도 1에 따른 반도체 시스템내의 본 발명에 따른 ESD-보호 구조물의 바랑직한 실시예의 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

1: 집적 반도체 회로	2, 3: 전위 레일
4: 접속 라인	5: 단자 패드
6: ESD-보호 소자	7: 반도체 바디
8: 기판 후면	9: 기판 표면
10: 애파택시총	11: 매립총
12: 기판 앞면	13: 베이스 구역
14: 에미터 구역	15: 버퍼 구역
16, 20: 단자 구역	17, 18: 콘택 전극

발명의 실세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적어도 하나의 반도체 바디내에 배치되고,

- 도전 접속라인을 통해 집적 반도체 회로에 접속된 적어도 하나의 단자 패드,
- 동작 중에 제 1 공급 전위를 집적 반도체 회로에 공급하는 적어도 하나의 제 1 전위 레일,
- 동작 중에 제 2 공급 전위를 집적 반도체 회로에 공급하는 적어도 하나의 제 2 전위 레일,
- 상기 단자 패드와 집적 반도체 회로 사이에 배치되어 전위 레일 중 적어도 하나에 접속되는, 정전 방전으로부터 집적 반도체 회로를 보호하기 위한 적어도 하나의 보호 소자를 포함하며,
- 상기 보호 소자가 적어도 하나의 베이스 구역, 적어도 하나의 에미터 구역 및 적어도 하나의 클렉터 구역을 가진 적어도 하나의 집적 버티컬 보호 트랜지스터를 포함하고, 그것의 부하 구간이 접속 라인과 전위 레일 중 하나 사이에 접속되어 그것이 베이스 단자가 트리거 수단에 의해 트리거될 수 있는 집적 반도체 회로에 관한 것이다.

이러한 소위 ESD-보호 소자는 J. Chen, X. Zhang, A. Amerasekera 및 T. Vrostos: Design and Layout of a High ESD Performance NPN Structure for Submicron BiCMOS/Bipolar Circuits, Proc. of the IEEE International Reliability

Physics Symposium (1996), 페이지 227에 공지되어 있다.

침내에 접적된 반도체 회로는 정전 과전압 및 그로 부터 야기되는 정전 방전(Electrostatic Discharge (ESD))으로부터 입력 또는 출력(1/0-포트)을 보호하기 위한 보호 회로를 포함한다. 소위 ESD-보호 소자는 접적 반도체 회로의 입력 패드와 보호될 입력 또는 출력 단자 사이에 접속되고, 기생 과전압의 결합시 ESD-보호 소자를 접속시킴으로써 기생 과전압을 공급 전압 도체 중 하나로 유도하기 위해 제공된다. 상기 과전압 펄스는 극단의 경우 소자를 파괴시킬 수도 있다.

예컨대 제품 시방서에 기술된 바와 같은 동작 조건 하에서, ESD-보호 소자는 보호될 접적 반도체 회로의 기능에 영향을 주어서는 안된다. 이것은 ESD-보호 소자의 접속 전압이 보호되는 단자 패드의 신호 전압 범위 밖에 놓여야 한다는 것을 의미한다. 양호한 보호 작용을 위해, ESD-보호 소자가 임계 회로 경로 전에 브레이크 다운되어야 한다. 이것은 일반적으로 각각의 ESD-보호 소자의 접속 전압의 정확한 세팅, 및 보호될 접적 반도체 회로의 소자 특성과 관련해서 최적화된 프로세스 제어가 ESD-보호소자의 삽입에 의해 변동되지 않아야 하는 중요한 경계 조건을 요구한다.

또 다른 중요한 경계 조건은 보호될 접적 반도체 회로의 바로 근처에 단자 패드의 공간적 배치로부터 주어진다. 특히, 비교적 높은 구동 전류로 인해 단자 패드가 출력 드라이버의 근처에 배치된다. 따라서, ESD-보호 구조물이 종종 출력 드라이버에 대한 공급 라인에 접속된다.

외부 결선이 충분한 전류 한계를 제공하지 않으면서 매우 신속한 전압 애지에 노출될 수 있는 단자에 있어서, 브레이크 다운 시 소위 스냅-백 특성을 가진 ESD-보호 소자를 사용하는 경우에는 특히 내압이 시방서에 언급된 신호 전압 이상이어서, ESD-보호 소자의 과도 접속(래치-업 효과)이 피해져야 한다. ESD-보호 소자의 이러한 래치-업 효과는 종종 그것을 파괴시키며 후속 접속된 접적 반도체 회로를 파괴시킨다.

이러한 이유 때문에, 높은 ESD-강도 및 양호한 보호 작용에도 불구하고 신호 전압 범위의 내압을 가진 보호 트랜지스터, 특히 npn-바이풀라 트랜지스터 또는 사이리스터가 ESD-보호 소자로 사용될 수 없다. 이것은 특히 스마트-파워-기술로 제조된 반도체 회로에 해당한다. 여기서는 전술한 소자 보다 작은 ESD-강도를 가진 브레이크 다운 다이오드 또는 적은 종류의 트랜지스터에 국한한다.

npn-바이풀라 트랜지스터, 특히 액티브하게 트리거되는 npn-바이풀라 트랜지스터의 내압은 하기 식

$$U_h = U_{th} * \beta - 1/4$$

으로 표시된다. 상기 식에서, β 는 콜렉터-베이스-전류 증폭이고 냉각 콜렉터-베이스-브레이크 다운 전압이다.

바이풀라 트랜지스터의 내압을 증가시키기 위해, 상기 등식에 따라 콜렉터-베이스-브레이크 다운 전압이 증가되거나 또는 전류 증폭이 감소되어야 한다. 그러나, 전류 증폭의 감소는 바람직하지 않은데, 그 이유는 그에 따라 보호 작용이 저하되기 때문이다.

따라서, 보호 소자의 내압을 증가시키기 위해 콜렉터-베이스-브레이크 다운 전압의 증대가 이루어져야 한다. 그러나, 접적 반도체 회로의 나머지 소자의 브레이크 다운 전압은 변동되어서는 안된다. 따라서, 전술한 경계 조건으로부터 애피

택시층 두께의 확대 또는 애피택시층에서 도핑의 감소는 배제된다.

ESD-보호 회로의 다른 세부사항, 특징, 장점 및 동작은 유럽 특허 출원 EP 0 623 958호 및 전술한 J. Chen 등의 간행물을 참고할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 ESD-강도 및 보호 작용이 저하되지 않으면서 미리 주어진 경계 조건에서 내압이 증가되는 ESD-보호 소자를 제공하는 것이다.

발명의 구성 및 작용

상기 목적은 본 발명에 따라 베이스 구역 및 콜렉터 구역이 서로 측면으로 변위되어 배치되는 것을 특징으로 하는 ESD-보호 소자에 의해 달성된다.

특히, 매립층으로서 형성된 보호 트랜지스터의 콜렉터를 측면 구조화함으로써, 베이스와 콜렉터 사이의 간격이 커진다. 이렇게 함으로써, 에피택시층에서 트랜지스터의 공필 구역이 확대되고 동일한 전위 차에서 전기장이 감소된다. 따라서, 브레이크 다운 전압(V_{BD})이 증가한다.

보호 트랜지스터가 차단 방향으로 접속된 다이오드에 의해 트리거되는 것이 특히 바람직하다. 특히 보호 트랜지스터의 내입 범위에 놓인 브레이크 다운을 가진 다이오드와 베이스의 결선시, 신호 전압 상한과 임계 전압 경로의 브레이크 다운 전압 사이의 암페어 범위까지 세팅 가능한 전압 한계를 가진 거의 이상적인 ESD-보호 소자가 개발될 수 있다.

보호 트랜지스터의 애미터 단자와 베이스 단자 사이에 접적 저항이 제공되는 것이 특히 바람직하다. 접적 저항은 보호 트랜지스터의 베이스의 트리거 강도를 세팅할 수 있다. 통상적으로 접적 저항은 애미터 단자와 베이스 단자의 적합한 결선시 베이스 구역의 전도율에 의해 결정된다.

매립층은 단자 구역을 통해 단자 패드에 접속된다. 상기 단자 구역은 양호한 전도를 때문에 가급적 하이 도핑된다. 단자 구역은 보호 트랜지스터가 배치되는 부분 영역을 한정한다. 통상적으로 부분 영역은 에피택시층 내에 배치된다. 단자 구역이 폐쇄된 고리로 부분 영역 둘레에 배치되는 것이 특히 바람직하다.

단자 구역은 베이스 구역으로부터 제 2 간격으로 등간격으로 이격된다. 제 2 간격은 통상적으로 충분히 크게 선택되므로 부분 영역의 가장자리 영역에 있는 기생 바이폴라 트랜지스터가 접속되지 않는다. 스마트-파워 기술에서 제 2 간격은 통상적으로 $20\mu m$ 보다 크게 세팅된다. 고주파수를 사용하는 경우, 상기 제 2 간격은 약 $2-3\mu m$ 이다.

통상적으로 애미터 구역은 베이스 구역 또는 에피택시층 보다 현저히 더 높은 도핑 농도를 갖는다. 에피택시층의 도핑 농도는 종종 접적 회로의 제조를 위한 프로세스 제어에 의해 결정된다.

매립층 및 단자 구역은 높은 전도율의 요구를 충족시키기 위해 매우 하이 도핑된다. 통상적으로 상기 구역은 $1-1.5\text{cm}^3$ 보다 큰 도핑 농도를 갖는다.

콜렉터 단자와 단자 패드 사이에 애노드 구역이 배치되는 것도 가능하다. 이 경우 ESD-보호 소자가 IGBT 또는 사이리스터로 형성된다.

본 발명이 반도체 메모리 또는 논리 소자에 적용되는 것이 특히 바람직하다. 또 다른 바람직한 적용은 본 발명이 마이크로 콘트롤러에 적용되는 것이다.

통상적으로 본 발명은 바이폴라 회로에 접적된다. 그러나, 접적 회로 및 ESD-보호 소자가 CMOS-기술로 제조되는 것이 특히 바람직하다.

바람직한 실시에는 청구범위 종속항에 제시된다.

첨부된 도면에 도시된 실시예를 참고로 본 발명을 구체적으로 설명하면 하기와 같다.

도 1은 앞에 접속된 ESD-보호 소자를 가진 공지된 접적 반도체 회로의 회로도이다.

도 1에는 접적 반도체 회로(1)가 도시된다. 접적 반도체 회로(1)는 제 1 공급 전위(VCC)를 가진 제 1 전위 레일(2) 및 제 2 공급 전위(VSS)를 가진 제 2 전위 레일(3)에 접속된다. 제 1 공급 전위(VCC)는 예컨대 공급 전압일 수 있다. 제 2 공급 전위(VSS)는 본 실시예에서 기준 접지일 수 있다.

집적 반도체 회로(1)가 접속 라인(4)을 통해 단자 패드(5)에 접속된다. 단자 패드(5)는 입력 신호를 집적 반도체 회로(1)내로 결합하기 위한 입력 단자, 및 출력 신호를 집적 반도체 회로(1)로부터 분리하기 위한 출력 단자일 수 있다. 이러한 단자는 I/O-포트라 한다.

ESD-보호 소자(6)는 단자 패드(5)와 집적 반도체 회로(1) 사이에 접속된다. 또한, ESD-보호 소자(6)는 제 2 전위 레일(3)에 접속된다.

본 실시예에서 ESD-보호 소자(6)은 npn-보호 트랜지스터(T)로 이루어지며, 그것의 부하 구간은 접속 라인(4)과 전위 레일(3) 사이에 접속된다. 보호 트랜지스터(T)로서 pnp-트랜지스터를 사용하는 것도 가능하다. 그러나, 이것은 집적 반도체 회로(1)를 제조하는데 기초가 되는 기술에 의존한다. 물론, 보호 트랜지스터(1)를 선택적으로 MOSFET, 차단층 FET, 사이리스터, IGBT 또는 적합하게 결선된 통상의 제어 가능한 소자로 구현될 수도 있다.

보호 트랜지스터(T)의 베이스-콜렉터 구간 사이에 다이오드(D)가 제공된다. 보호 트랜지스터(T)의 베이스-에미터 구간 사이에는 저항(R)이 제공된다. 본 실시예에서 보호 트랜지스터(T)의 베이스 단자는 차단 방향으로 접속된 다이오드(D)에 의해 액티브하게 트리거된다. 보호 트랜지스터(T)의 트리거 전압은 저항(R)의 적합한 치수 설계에 의해 세팅될 수 있다. 그러나, 보호 트랜지스터(T)가 액티브하게 트리거되지 않는 것도 가능하다. 이 경우에는 다이오드(D)가 생략될 수 있다.

본 실시예에서 ESD-보호 소자(6)는 접속 라인(4)과 제 2 전위 레일(3) 사이에 접속된다. 그러나, ESD-보호 소자(6)가 접속 라인(4)과 제 1 전위 레일(2) 사이에 또는 접속 라인(4)과 2개의 전위 레일(2, 3) 사이에 배치되는 것도 가능하다.

ESD-보호 소자(6)는 단자 패드(5)를 통해 결합된 기생 방해 신호로부터 집적 반도체 회로(1)를 보호해야 한다. 상기 기생 방해 신호는 ESD-보호 소자(6)를 통해 전위 레일(2), (3) 중 하나로 유도됨으로써, 집적 반도체 회로(1)에 이르지 않는다.

이러한 방해 신호는 예컨대 반도체 칩의 운송 및 취급시에 발생할 수 있다. 이로 인해, 반도체 칩이 정전기적으로 대전될 수 있다.

정전 방전이 집적 반도체 회로(1)내로 결합되면, 이것은 극단의 경우 집적 반도체 회로(1)의 파괴를 일으킬 수 있다.

방해 신호의 결합을 시뮬레이션하기 위해, 통상적으로 소위 휴먼-바디-모델(Human-Body-Model: HBM)이 사용된다. 휴먼-바디-모델의 회로는 100pF의 커패시턴스 및 1.5KΩ의 저항으로 이루어진 저역 필터이다. 휴먼-바디-모델은 사람에 의해 결합되는 방해 신호를 시뮬레이트한다. 예컨대, 소위 하전-장치-모델(Charged-Device-Model: CDM)과 같은 다른 모델도 사용될 수 있다.

도 2는 반도체 시스템내의 본 발명에 따른 ESD-보호 구조물의 실시예를 나타낸다. 도 1과 동일한 소자는 동일한 도면 부호를 갖는다.

도 2에는 반도체 바디(7)가 도시된다. 반도체 바디(7)는 통상적으로 실리콘 기판으로 이루어진다. 반도체 바디(7)는 기판 후면(8) 및 기판 표면(9)을 포함한다. 본 실시예에서 반도체 바디(7)의 실리콘 기판은 p-도핑되고 기판 후면(8)은 기준 접지의 전위에 접속된다. 물론, 반도체 기판이 n-도핑되는 것도 가능하다.

반도체 바디(7)의 기판 표면(9)상에 약하게 n-도핑된 애피택시층(10)이 배치된다. ESD-보호 구조물의 기능을 위해, 다수의 애피택시층(10)이 총층이 배치되거나 애피택시층(10)이 완전히 생략되는 것도 가능하다. 애피택시층(10)의 도핑 농도는 집적 반도체 회로(1)의 제조를 위한 프로세스 제어에 의해 결정된다. 통상적으로 애피택시층은 $1 \times 10^{15} \text{ cm}^{-3}$ 내지 $1 \times 10^{16} \text{ cm}^{-3}$ 의 도핑 농도를 갖는다. 애피택시층(10)의 두께는 적용되는 기술에 따라 1 - 10μm로 변동된다.

부가로 도 2에 도시된 바와 같이, 매립층(11)이 제공된다. 본 실시예에서 매립층(11)은 n-도핑된다. 매립층(11)은 예컨대 애피택시층(10)의 성장 전에 기판 표면(9)상에 도펀트를 투입한 다음, 적합한 온도에서 확산시킴으로써 형성될 수 있다.

그러나, 매립층(11)이 에피택시층(10)의 성장 후에 또는 성장 동안 이온 주입에 의해 반도체 바디(7)에 형성되는 것도 바람직하다. 소정 수직 프로파일을 얻기 위해, 종종 적합한 에너지 및 도핑 도우즈에서 여러번의 주입이 이루어져야 한다. 그리고 나서, 매립층(11)내에서 도편트의 균일한 분포를 위한 온도 단계가 후속되어야 한다.

매립층(11)의 도핑 농도는 종종 집적 반도체 회로(1)의 제조시 프로세스 제어에 의해 미리 주어진다. 가급적 앙호한 전도율을 보장하기 위해, 매립층(11)이 가급적 낮은 올 저항으로 형성되어야 한다. 이러한 이유 때문에 매립층(11)은 통상적으로 $1 \times 10^{19} \text{ cm}^{-3}$ 의 도핑 농도를 갖는다.

매립층(11)은 단자 구역(16)을 통해 반도체 바디(1)의 기판 앞면(12)에 접속된다. 단자 구역(16)은 매립층(11)과 동일한 도전 타입이며 $1 \times 10^{20} \text{ cm}^{-3}$ 의 가급적 높은 도핑 농도를 갖는다. 단자 구역(16)은 본 실시예에서 기판 표면(12)의 깊은 주입 또는 확산 구역으로서 반도체 바디(7)에 까지 이르며 매립층(11)에 접속된다. 단자 구역(16)은 트렌치로서 설계되고 공지된 기술로 형성될 수 있다.

평면도(도시되지 않음)로 볼 때, 단자 구역(16) 및 매립층(11)은 링형 구조물을 형성한다. 그러나, 링형 구조물이 반드시 폐쇄될 필요는 없다. 단자 구역(16)의 링형 구조물은 원형, 직사각형 또는 다각형으로 형성될 수 있다. 대안으로는 스트립형 구조물도 가능하다.

매립층(11) 및 단자 구역(16)은 에피택시층(10)의 소위 부분 영역($10'$)을 포함한다.

부분 영역($10'$)에서 기판 표면(12)에는 베이스 구역(13)이 배치된다. 베이스 구역(13)은 본 실시예에서 p-도핑되며 웨일형으로 형성된다. 부가로 기판 표면(12)의 베이스 구역(13) 내부에 반대 도전 타입의 웨일형 에미터 구역(14)이 배치된다.

에미터 구역(14)은 통상적으로 $5 \times 10^{19} \text{ cm}^{-3}$ 의 도핑 농도를 갖는다. 에미터 구역 웨일은 약 $1 \mu\text{m}$ 정도 반도체 바디(7)내로 돌출된다. 베이스 구역(13)은 $10^6 - 10^{11} \text{ cm}^{-3}$ 의 통상 도핑 농도를 가지며, 그것의 웨일은 약 $2.5 \mu\text{m}$ 의 깊이를 갖는다.

도 2에는 ESD-보호 구조물의 횡단면도가 도시된다. 에미터 구역(14), 베이스 구역(13) 및 매립층(11)은 각각 보호 트랜지스터(T)의 에미터, 베이스 및 콜렉터를 형성한다. 도 2의 보호 트랜지스터(T)는 액티브하게 트리거되지 않는다. 이 경우에는 보호 소자(6)가 보호 트랜지스터(T)로서 다이오드 회로에 구현된다.

순수한 버티컬 ESD-보호 소자에서 보호 트랜지스터(T)의 접속 전압은 통상적으로 베이스 구역과 바로 그 아래 배치된 콜렉터 구역 또는 매립층(11)의 간격(d)으로부터 주어진다. 본 발명에 따른 소위 준-버티컬 ESD-보호 구조물에 의해, 베이스 구역에 대한 콜렉터 구역의 측면 변위에 의해 상기 간격(d)이 확대된다. 이로 인해, 관련 ESD-보호 소자의 접속 전압이 상승하게 커진다.

따라서, 본 ESD-구조물에서는 베이스 구역(13)의 웨일의 외부에지가 매립층(11)의 내부 에지에 대해 측면으로 변위되어 배치되도록 웨일형 베이스 구역(13) 및 매립층(11)의 링 구조물이 배치되는 것이 중요하다. 상기 측면 변위는 제 1 간격(d1)을 특징으로 한다.

베이스 구역(13)은 단자 구역(16)으로부터 제 2 간격(d2)으로 이격되도록 부분 영역($10'$)에 배치된다. 제 2 간격(d2)은 측면의, 기생 pn-다이오드가 부분 영역($10'$)의 가장자리 영역에서 억압될 정도로 크게 선택된다. 통상적으로 상기 간격은 $20 \mu\text{m}$ 보다 크다.

베이스 구역(13) 및 에미터 구역(14)은 본 실시예에서 웨일형으로 형성된다. 그러나, V형, U형, 트렌치형 등의 구조물도 가능하다. 상기 구역(13), (14)은 바람직하게는 확산 또는 이온 주입에 의해 반도체 바디(7)에 형성된다. 그러나, 예컨대 증착 등과 같은 다른 제조 방법도 가능하다.

베이스 구역(13) 및 단자 구역(16)은 기판 표면(12)에 있는 통상의 콘택(17), (18)을 통해 접촉된다. 에미터 구역(14)의 제 1 콘택 전극(17)이 제 2 전위 레일(3) 및 기준 접지에 접속된다. 단자 구역(16)의 제 2 콘택 전극(18)은 단자 패드(5)에 접속된다.

도 2에는 부가로 버퍼 구역(15)이 제공된다. 버퍼 구역(15)은 기판 앞면(12)으로부터 전체 에피택시층(10)을 통해 반도체 바디(7)에 까지 연장된다. 본 실시예에서 버퍼 구역(15)은 실리콘디옥사이드로 이루어진다. 그러나, 버퍼 구역(15)은 다른 통상의 버퍼 재료, 예컨대 하이 도핑된 폴리실리콘, 실리콘니트리드 등으로도 형성될 수 있다. 버퍼 구역(15)은 통상적으로 집적 반도체 회로(2) 또는 반도체 칩에 대한 ESD-보호 구조물의 차폐 또는 분리의 기능을 한다.

버퍼 구역(15)이 p-도핑된 폴리실리콘으로 이루어지는 것이 특히 바람직하다. 이 경우에는 매립층(11)과 p-도핑된 기판(7) 사이에 흐름 방향으로 접속된 pn-다이오드가 이용됨으로써, 예컨대 네거티브 펄스가 인출되는 것이 바람직하다. 상

기 네거티브 펄스는 p-도핑된 버퍼 구역(15)을 통해 유도될 수 있다.

통상적으로 매립층(11)에 의해 둘러싸인 측면 횡단면은 단자 구역(16)에 의해 둘러싸인 상을하는 횡단면 보다 크다.

본 발명에 따른 ESD-보호 구조물의 동작을 상세히 설명하면 하기와 같다. 본 발명에 따른 ESD-보호 구조물의 동작을 상세히 설명하면 하기와 같다. 방해 신호가 단자 패드(5)를 통해 결합되고 상기 방해 신호가 보호 트랜지스터(T)의 한계치를 초과하면, 다이오드 회로에 접속된 보호 트랜지스터(T)의 pn-접합에서 공간 전하 구역이 깨지고 보호 트랜지스터(T)가 접속된다. 따라서, 단자 패드(5)로부터 단자 구역(16), 매립층(11) 및 베이스 구역(13)을 통해 에미터 구역(14) 및 제 2 전위 레일(3)로 전류 경로가 형성된다. 따라서, 방해 신호가 제 2 전위 레일(3)로 유도됨으로써, 집적 반도체 회로(1)에 이르지 않는다.

매립층(11)과 단자 패드(5) 사이에 애노드 구역이 배치되는 것이 바람직하다. 이 경우, ESD-보호 소자(6)가 IGBT 또는 사이리스터로 형성된다.

보호 트랜지스터의 베이스 폭을 적합하게 선택함으로써, 부가로 액티브 보호 소자의 접속 전압이 세팅될 수 있다. 본 발명에 따른 ESD-보호 소자(6)가 마이크로 콘트롤러, 반도체 메모리 또는 논리 소자에 사용되는 것이 특히 바람직하다.

소자에 적용되는 것이 특히 바람직하다. 소자에 적용되는 것이 특히 바람직하다.

집적 반도체 회로 및 그것에 속한 ESD-보호 소자는 바람직하게는 바이폴라로 구현되거나 스마트-파워-기술로 제조된다. 그러나, 집적 반도체 회로(1) 및 ESD-보호 회로가 CMOS-기술로 제조되는 것이 특히 바람직하다. 도 1과 동일한 소자는 동일한 도면 부호를 갖는다.

도 3은 도 2에 도시된 구조물의 바람직한 실시예를 나타낸다. 베이스 구(13)의 월내에 동일한 도전 타입의 하이 도핑된 콘택 구역(19', 19)이 배치된다. 또한, 베이스 구역(13)의 월내에는 다수의 에미터 구역(14)이 제공된다.

부가로 부분 영역(10')에 제 2 단자 구역(20)이 제공된다. 제 2 단자 구역(20)은 단자 구역(16)과 같이 기판 앞면(12)으로부터 반도체 바디(7)로 이르고 매립층(11)에 접속된다. 제 2 단자 구역(20)은 본 실시예에서 단자 구역(16)에 의해 둘러싸인 부분 영역(10') 내부에 배치된다. 제 2 단자구역(20)은 단자 구역(16)으로부터 이격되고 반대 도전 타입의 매우 높은 도핑 농도를 갖는다. 본 경우 제 2 단자 구역(20)은 통상적으로 $1 \times 10^{19} \text{ cm}^{-3}$ 의 도핑 농도를 가진 p-도핑을 갖는다.

제 2 단자 구역(20)은 기판 표면(12)에 콘택 구역(19')을 갖는다. 상기 콘택 구역(19')은 접속라인(21)을 통해 베이스 구역(13)내의 대응하는 콘택구역(19')에 접속된다. 베이스 구역(13)내의 나머지 콘택 구역(19)은 접속라인을 통해 에미터 구역(20) 및 제 2 전위 레일(3)의 제 2 공급 전위에 접속된다.

콘택 구역(19'), (19), (19')은 10^{19} cm^{-3} 의 통상의 도핑 농도를 갖는다. 도핑 프로파일은 약 $0.5 \mu\text{m}$ 내지 $1 \mu\text{m}$ 정도 반도체 바디(7)내로 돌출한다.

도 1에 도시된 보호 트랜지스터(T) 및 그 베이스 트리거를 위한 다이오드(D) 및 저항(R)을 가진 ESD-보호 소자(6)의 회로

도가 도 3에 도시된 구조물에 적용된다. 편의상, 상기 회로도가 도 3에 도시되지 않는다. 다만, 집적 저항(R) 및 집적 다이오드(D)의 위치만이 도 3에 도시된다.

집적 저항(R)은 주어진 결선시 인접한 콘택 구역(19'), (19) 사이의 베이스 구역(13)의 도핑 농도로부터 주어진다. 또한, 도 3에서 제 2 단자 구역(20)과 매립층(11) 사이에 집적 다이오드(D)가 도시된다. 다이오드(D) 및 저항(R)은 보호 트랜지스터(T)의 베이스를 트리거시킨다.

도 3에 도시된 장치의 동작을 상세히 설명하면 하기와 같다.

방해 신호, 예컨대 전류 펄스가 단자 패드(5)를 통해 결합되고 상기 전류 펄스가 다이오드(D)의 한계치를 초과하면, 다이오드(D)의 pn-접합에서 공간 전하 구역이 깨지고 보호 트랜지스터(T)의 베이스가 트리거된다. 베이스 전류가 충분히 높으면, 보호 트랜지스터(T)가 접속된다. 따라서, 단자 패드(5)로부터 단자 구역(16), 매립층(11), 부분 영역(10') 및 베이스 구역(13)을 통해 에미터 구역(14) 및 제 2 전위 레일(3)로 전류 경로가 형성된다. 따라서, 방해 펄스가 집적 반도체 회로(1)에 이르지 않고 제 2 전위 레일을 통해 유도된다.

도 2에 도시된 ESD-보호 구조물과는 달리, 도 3에서 액티브 베이스 트리거는 집적 다이오드(D) 및 저항(R)을 통해 이루어진다. 다이오드(D)의 한계치는 제 2 단자 구역(20)내의 도핑 농도를 통해 세팅될 수 있다. 따라서, 제 2 단자 구역(20)에서의 적합한 도핑 농도에 의해 그리고 베이스 구역(13)의 도핑 농도에 의해 보호 트랜지스터(T1)의 트리거 강도가 세팅될 수 있다.

발명의 효과

본 발명에 의해 ESD-강도 및 보호 작용이 저하되지 않으면서 미리 주어진 경계 조건에서 ESD-보호 소자의 내압이 증가된다.

(57) 청구의 범위

청구항 1. 적어도 하나의 반도체 바디(7)내에 배치되고,

- 도전 접속라인(4)을 통해 집적 반도체 회로(1)에 접속된 적어도 하나의 단자 패드(5),
- 동작 중에 제 1 공급 전위(VCC)를 집적 반도체 회로(1)에 공급하는 적어도 하나의 제 1 전위 레일(2),
- 동작 중에 제 2 공급 전위(VSS)를 집적 반도체 회로(1)에 공급하는 적어도 하나의 제 2 전위 레일(3),
- 상기 단자 패드(5)와 집적 반도체 회로(1) 사이에 배치되며 전위 레일(2, 3) 중 적어도 하나에 접속되는, 정전 방전으로부터 집적 반도체 회로(1)를 보호하기 위한 적어도 하나의 보호 소자(6)를 포함하며,
- 상기 보호 소자(6)가 적어도 하나의 집적 버티컬 보호 트랜지스터(T)를 포함하고, 그것의 부하 구간이 접속 라인(4)과 전위 레일(2, 3) 중 하나 사이에 접속되는 집적 반도체 회로(1)에 있어서,

보호 트랜지스터(T)의 베이스 및 콜렉터가 서로 측면으로 변위되어 배치되는 것을 특징으로 하는 집적 반도체 회로.

청구항 2. 제 1항에 있어서,

- 반도체 바디(7)내의 보호 트랜지스터(T)의 콜렉터가 제 1 도전 타입의 적어도 하나의 매립층(11)으로 형성되고,

- 제 1 도전 티입의 에피택시 층(10)의 부분 영역(10')내에 형성된, 매립층(11)으로부터 이격된, 제 2 도전 티입의 적어도 하나의 베이스 구역(13)이 베이스로서 작용하며,
- 베이스 구역(13)내에 형성된 제 1 도전 티입의 적어도 하나의 에미터 구역(14)이 에미터로서 작용하는 것을 특징으로 하는 집적 반도체 회로.

청구항 3. 제 1항 또는 2항에 있어서, 보호 소자(6)의 베이스가 적어도 하나의 트리거 수단(D, R)에 의해 트리거되는 것을 특징으로 하는 집적 반도체 회로.

청구항 4. 제 3항에 있어서, 트리거 수단이 차단 방향으로 접속된 적어도 하나의 집적 저항(R)을 포함하는 것을 특징으로 하는 집적 반도체 회로.

청구항 5. 제 4항에 있어서, 트리거 수단이 적어도 하나의 집적 저항(R)을 포함하는 것을 특징으로 하는 집적 반도체 회로.

청구항 6. 제 5항에 있어서, 집적 저항(R)의 전도율이 베이스 구역(13)의 도핑 농도에 의해 결정되는 것을 특징으로 하는 집적 반도체 회로.

청구항 7. 제 2항, 4항, 5항 또는 6항에 있어서, 적어도 하나의 단자 구역(16)이 제공되며, 상기 단자 구역(16)은 매립층(11)에 접속되고, 전위 레일(2, 3) 중 하나에 접속되며, 베이스 구역(13)으로부터 제 2 간격(d2)으로 등간격으로 이격되는 것을 특징으로 하는 집적 반도체 회로.

청구항 8. 제 7항에 있어서, 단자 구역(16)이 폐쇄된 링으로서 부분 영역(10') 둘레에 배치되는 것을 특징으로 하는 집적 반도체 회로.

청구항 9. 제 2항, 4항, 5항, 6항, 8항에 있어서, 매립층(11)의 도핑 농도가 $1 \times 10^{16} \text{cm}^{-3}$ 보다 큰 것을 특징으로 하는 집적 반도체 회로.

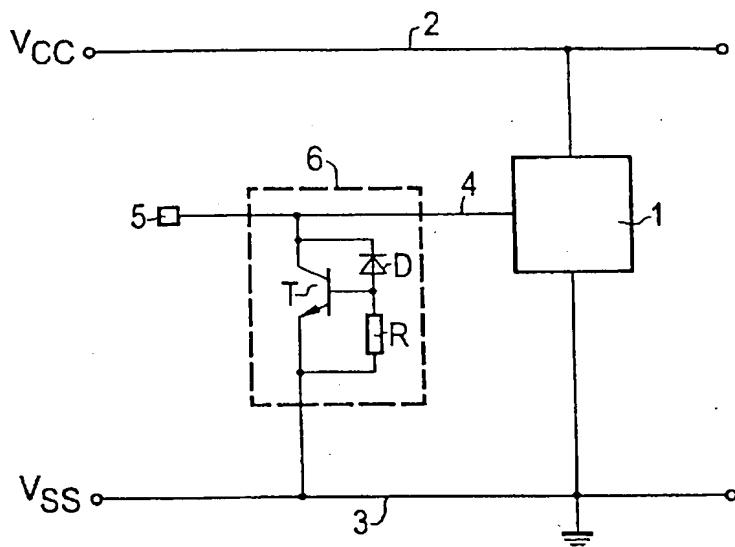
청구항 10. 제 2항, 4항, 5항, 6항, 8항에 있어서, 단자 구역(16)의 도핑 농도가 $1 \times 10^{16} \text{cm}^{-3}$ 보다 큰 것을 특징으로 하는 집적 반도체 회로.

청구항 11. 제 2항, 4항, 5항, 6항, 8항에 있어서, 매립층(11)과 단자 패드(5) 사이에 애노드 구역이 제공되는 것을 특징으로 하는 집적 반도체 회로.

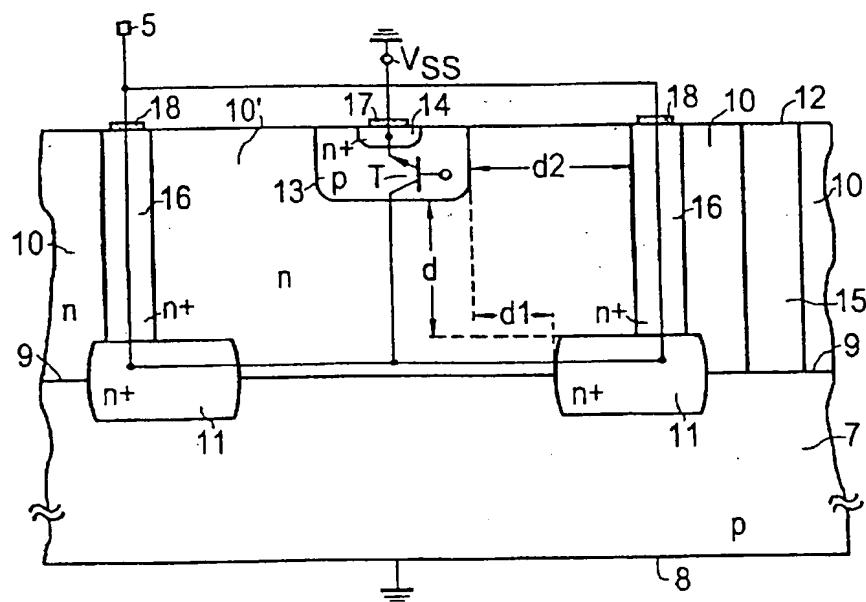
청구항 12. 반도체 메모리 또는 논리 소자 또는 마이크로 콘트롤러에 대한 제 1항 내지 11항 중 어느 한항에 따른 집적 회로용 보호 소자의 사용 방법.

도면

도면 1



도면2



도연3

